

基于 ZYNQ 和千兆以太网的舵机伺服控制器设计

赵爱忠

贵州航天控制技术有限公司 贵州 贵阳 550009

【摘要】：以太网是目前最常用的局域网技术，具有高速率、高性能、抗干扰能力强等优势，已在工业物联网、城市轨道交通、和卫星通信等热门领域广泛应用。但目前以太网在舵机伺服控制器上的应用研究不足，并且已有的方案存在集成度低、软硬件设计复杂、开发成本高等问题，不利于实际应用。针对上述问题，本文使用复旦微 ZYNQ 芯片作为主处理器，中航光电生产的光模块为物理通讯介质，设计出一种基于 ZYNQ 和以太网光通讯接口的舵机伺服控制器，并介绍了该控制器的软件设计和通讯仿真，实验上验证了光通讯的稳定性、实现了舵机的闭环控制。

【关键词】：千兆以太网；舵机；伺服控制器；光通信

DOI:10.12417/3041-0630.26.07.051

1 引言

以太网（Ethernet）作为目前最常用的局域网技术，自上世纪 70 年代被提出后，经历了 50 余年的发展，已由最初的 10BASE-T (10Mbps) 标准发展到今天的 10GBASE-T (10Gbps) 标准，由于高速率、高性能、抗干扰能力强的优势，以太网已被广泛应用到工业物联网^[1]、城市轨道交通^[2]和卫星通信^[3]等热门领域。舵机伺服控制器主要应用于无人机、机器人、工业控制等领域，其原理主要是接收上级设备发来的姿态控制指令，驱动舵机执行相应的动作，从而实现对整个载体设备的姿态控制，但目前舵机控制器主要采用 RS422 或 RS485 接口，而对于以太网在舵机伺服控制器上的应用研究不足并且存在问题，文章^[4]介绍了一种基于 DSP 的工业以太网伺服控制系统，由于该系统采用 DSP，但随着控制系统越来越复杂，在控制器外挂舵机数量较多的情况，DSP 外设资源面临不足的风险；文章^[5]介绍了一种基于 ARM+CPLD 的以太网伺服控制系统，但该设计需要同时用到 ARM 和 CPLD 两个芯片，存在集成度不高，占用板上空间、硬件设计布线复杂等问题，此外该方案中 ARM 和 CPLD 之间通讯时序复杂，会增加软件开发成本。

针对上述问题，本文提出一种基于 ZYNQ 处理器和以太网光通讯接口的舵机伺服控制器，该方案利用复旦微 FMQL45T 芯片作为处理器，中航光电生产的光模块为物理通讯介质，ZYNQ 处理器将 FPGA+ARM 集成到一块芯片上，外设资源丰富，可满足复杂系统设计的要求。软件设计方面，FPGA 端使用以太网和 DMA IP 核完成以太网接口通讯和校验，ARM 端用 LWIP 开源协议栈完成以太网帧的解析，节省了开发时间；实验上利用测试台和上位机验证了舵机伺服控制器光通讯的稳定性，并实现了舵机的闭环控制。

2 系统硬件设计

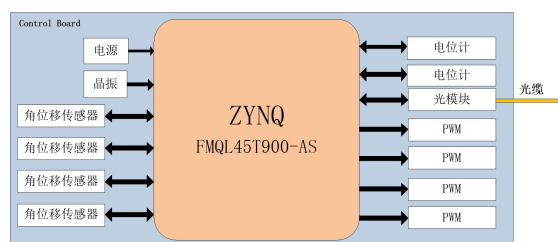


图 1 系统硬件原理图

如图 1 所示，舵机伺服控制系统由 ZYNQ 处理器芯片、电源、晶振、四个角位移传感器、两个电位计、光模块组成，其中 ZYNQ 处理器芯片采用复旦微 7045 系列，型号为 FMQL45T900-AS，该 PSOC 芯片对标 Xilinx 的 7045 系列，PL 端（FPGA）资源丰富，具有 16 个高速串行收发器（serdes），两个 PCIE 接口，高速串行收发器用来做以太网物理层；角位移传感器和电位计都接在 PL 端的管脚上，角位移传感器为 SPI 接口，采集舵机转动时的位置和速度，电位计采集舵机转动时的相电流，4 路 PWM 波也有 PL 端产生，可同时驱动 4 个舵机。光模块外接到 PL 端的 GTX 管脚上，该管脚为 LVDS 高速接口，为实现以太网高速收发提供物理支撑。

PS 端（ARM）为四核处理器，基于 Cortex-A7 架构，具有丰富的外设，例如 UART、CAN、SPI、DMA 等，电源为 28V 恒流源、晶振频率为 33.3MHz，主频最高可配置 800MHz，片上包含 256KB 的 AXI-SRAM 和 128KB 的 AHB-SRAM，可外部扩展 DDR，最高可扩展 1G，本设计中 PS 端主要用来运行 PID 控制算法。

光模块选用中航光电的 HTA8525-MD-Q015NB 光电转换芯片，已在类似产品有成熟应用。该器件的主要技术参数为：1) 四路并行光收、发一体模块；2) 工作在 I2C 接口模式；3) 传

输距离 100m, 传输速率可达 10.3125Gbps; 4)+3.3V 电源供电。光模块通信接口硬件原理图如图 2 所示。HTA8525 的收发管脚连接到 SOC 的 GTX 接口, 实现光电信号互转, 通过光缆与外部设备通信。

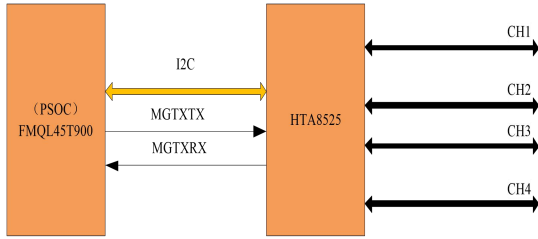


图 2 光模块硬件连接图

3 系统软件设计

3.1 软件架构设计

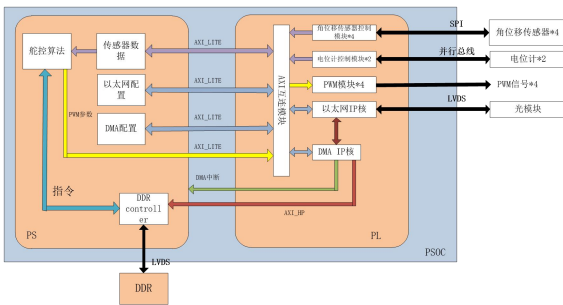


图 3 系统软件架构

PSOC 内部软件架构如图 3 所示, 该架构类似于传统的 DSP+FPGA^[6], PSOC 中的 PS 相当于 DSP, PL 和 PS 通过 AXI 总线实现数据交互, AXI 总线是一种高性能、高带宽、低延迟的片内通讯总线, 对于 PSOC 内部来讲, AXI 协议包含三种主要接口: AXI-GP (标准版、32bit 位宽) 接口、AXI-HP (高性能版、64bit 位宽) 接口、AXI-ACP (管理多核) 接口。图 3 中的角位移传感器控制模块、电位计控制模块、PWM 模块、以太网模块各自封装为 AXI-slave 接口的 IP 核, 其中角位移传感器模块为 4 个, 电位计控制模块为 2 个, 分别采集 4 个舵机的角度、速度、相电流等, 该模块采集完成后将数据放到 AXI 总线的读寄存器上, 由 PS 端读取。PWM 模块为 4 个, 可输出 4 路 PWM, PWM 的周期、占空比等参数由 PS 端通过 AXI 总线写入。

以太网 IP 核采用 1000base-X 模式, 该模式适用于光通信, 通过 LVDS 接口连接到光模块, 其数据流如图中红色箭头所示, 以太网接收的数据首先进入 DMA, 再由 DMA 通过 AXI-HP 口控制 DDR 控制器写入 DDR, 之后发起中断通知 PS 读取。

对于 PS 端, 传感器数据和指令数据输入到舵控算法中, 舵控算法输出相应的 PWM 参数和应答的指令。

在我们的设计中, PS 与 PL 进行传感器数据读取、配置 DMA、配置以太网模块、配置 PWM 参数使用的 AXI-GP 口, 我们将各模块挂载到 AXI 互连总线上, 分配不同的基地址由 PS 根据地址实现读写控制; PL 端 DMA 读写 DDR 使用的是 AXI-HP 接口。舵控算法以及对指令的解析组帧都由 PS 端完成, PS 与 PL 通过共享 DDR 内存的方式实现指令交互。其中 DDR 采用国微的 SM41J256M16M 型号, 位宽为 16bit, 容量为 512MBytes。

3.2 以太网传输模块设计

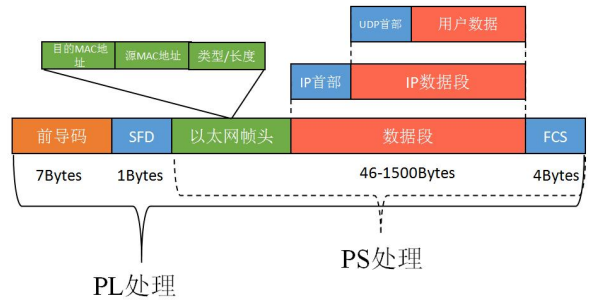


图 4 以太网帧格式

图 4 为本设计中以太网帧格式的示意图, 该协议包含前导码、帧起始符、以太网帧头、MAC 数据段、帧校验序列 (FCS)。前导码为 7 个 0x55, 通过周期性交互的比特序列, 帮助接收设备调整时钟频率, 实现与发送端的同步。SFD 通常为 0xD5, 代表帧起始符, 两者共同构成以太网帧起始单元; 以太网帧头包含目的 MAC 地址、源 MAC 地址、类型/长度, 占 14 字节, 数据段包含 IP 首部和 IP 数据段, IP 数据段包含 UDP 首部和用户数据, 最后是帧尾校验占 4 个字节。用户数据则是我们要发送接收的实际数据。PL 端负责整个以太网数据的接收, PS 端通过 LWIP (轻量化 IP 协议栈) 实现 MAC 帧的解析和组帧。

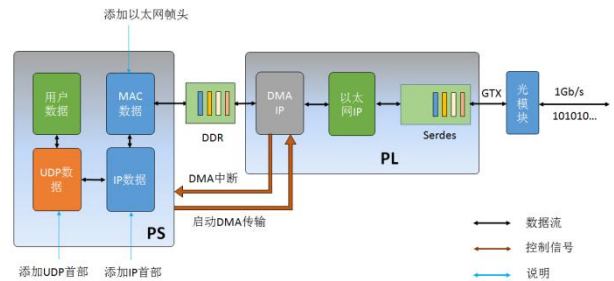


图 5 以太网数据流传递过程

图 5 为本设计中以太网数据流传递过程的示意图, 物理层主要用光模块和光纤实现光电转换, 图中 PL 端 GTX 为 PSOC 中内部串行高速收发器 (Serdes) 接口, 收发速率为 1Gb/s, PL 端使用以太网 IP 核, 该 IP 核实现以太网层协议; 当需要接

PL 使用以太网和 DMA IP 核完成以太网数据帧搬运和校验；舵机伺服控制器光通讯的稳定性，舵机可正常执行指令动作，
PS 使用 LWIP 开源协议栈完成以太网帧的解析；对 IP 核进行实现了闭环控制。
仿真验证了通讯的正确性；实验上利用测试台和上位机验证了

参考文献:

- [1] 于会群,黄贻海,彭道刚,等.工业以太网网络互联技术与发展[J].电子技术应用,2022,48(4):1-5,11.
- [2] 李林锋.基于交换式以太网的列车综合承载网络通信方案[J].城市轨道交通研究,2022(S1):27-31.
- [3] 于红增,石湘,刘咏荷,等.适用于卫星通信的以太网虚拟专线设计[J].无线电工程,2020,50(7):601-605.
- [4] 李伟光,容爱琼,侯跃恩,等.基于 DSP 的 EthCAT 分布式伺服运动控制系统设计[J].机床与液压,2014,42(14):100-103.
- [5] 张海波,陈涛,王建立,等.基于 ARM+Linux 的直流伺服控制系统设计[J].电子技术应用,2012,38(8):33-36.
- [6] 孙艳明,王永明,袁德志,等.基于 DSP 和 FPGA 的运动控制器设计[J].工程与试验,2012:59-60.