

高速数字信号处理系统中的 PCB 抗干扰设计

江 亮

武汉市水务建设工程有限公司 湖北 武汉 430015

【摘 要】：高速 DSP/FPGA 系统工作频率高、边沿陡峭，PCB 易产生串扰、反射、地弹和电源噪声。干扰会导致高速链路误码、时钟抖动、复位误触发及 EMC 超标。围绕层叠结构、回流路径、分区布局、阻抗控制、电源去耦、接地屏蔽等环节提出抗干扰设计措施。通过优化地平面连续性、差分等长、分级滤波和屏蔽防护，可提升信号完整性、电源稳定性和系统抗扰度。

【关键词】：高速数字系统；PCB 抗干扰；信号完整性；回流路径；电源去耦

DOI:10.12417/2811-0536.26.08.001

引言

高速数字信号处理系统常用 DSP、FPGA、DDR 与高速差分接口，集成度与传输速率持续提升，PCB 电磁耦合、阻抗变化及电源干扰问题愈发明显。高速信号造成的回路断层、信号串扰、波形反射与地电平波动，会动摇数据传输、时钟运行及设备电磁兼容状态。立足该类系统 PCB 抗干扰设计开展研究，剖析干扰成因、信号受扰特征与故障现象，依托板层排布、线路规划、电源处理、接地防护拟定实用方案，保障硬件平台平稳运转。

1 高速 DSP/FPGA 系统干扰机理与风险分析

(1) 系统主要干扰源识别：高速 DSP 与 FPGA 系统干扰多源自高速开关点位、高频时钟线路、并行总线端口及电源转换通路。器件内部大批量引脚同步翻转产生瞬时电流峰值，借电源地层与封装寄生参数向外扩散，催生地弹波动、同步开关杂讯与共模辐射现象。晶振、锁相环、各类存储元件及高速差分线路信号跳变速度加快后，干扰影响不再单纯取决于工作频率，还受信号沿变化、回流通路完整度与线路阻抗波动共同作用^[1]。

(2) 敏感信号受扰特性分析：高速 DSP/FPGA 系统中，模拟采样链路、时钟复位链路和高速差分链路具有不同受扰特性。模拟信号幅值低、源阻抗高，对电源纹波、地电位漂移和邻近数字边沿极为敏感，微小噪声即可造成采样偏移、量化误差和参考基准波动。高速差分信号虽具备共模抑制能力，但对阻抗连续性、线对间距、长度匹配和过孔寄生参数高度敏感，回流路径中断会削弱差分平衡并增加模式转换。复位、片选、中断和时钟信号属于状态控制类关键节点，抗噪裕量不足时容易被窄脉冲扰动触发，导致时序链路失稳或系统状态异常跳变。

(3) 干扰引发的系统故障类型：干扰进入高速

DSP/FPGA 系统后，常表现为信号完整性退化、电源完整性下降和逻辑状态异常。高速总线受串扰、反射和阻抗不连续影响后，眼图开口缩小、建立保持时间裕量降低，易出现数据位翻转、读写校验失败和链路训练不稳定。电源噪声叠加在核心电压、I/O 电压和参考电压上，会引起 PLL 抖动增大、ADC 有效位数下降、FPGA 配置异常和温升波动。复位线、时钟线及控制线受到尖峰干扰时，可能产生随机复位、状态机跑飞、接口掉线和间歇性死机。

2 高速数字系统 PCB 抗干扰核心设计技术

2.1 PCB 层叠结构与回流路径优化设计

高速数字系统 PCB 层叠结构应优先采用 4 层以上结构，DSP、FPGA、DDR 及高速接口密集区域宜采用 6 层或 8 层板，以保证高速信号层邻近完整参考地平面。4 层板可设置为顶层高速信号、第二层完整地、第三层电源、底层中低速信号；6 层板可设置为信号层、地层、信号层、电源层、地层、信号层，使任一高速走线到参考平面的介质厚度控制在 0.10mm~0.20mm 范围内^[2]。高速时钟、DDR 地址线、USB3.0、PCIe、HDMI 等走线下方必须保持连续地平面，禁止跨越电源分割缝、地割裂区和大面积开窗区，换层处应在信号过孔附近 1.0mm~2.0mm 范围内布置回流地过孔，保证回流电流能够就近切换参考平面。

电源层与地层应紧耦合，层间距宜控制在 0.10mm 以内，形成低电感平面电容，降低高频电源阻抗。电源平面边缘应相对地平面内缩 20H，H 为电源层与地层间距，可减少板边电场泄漏和共模辐射。高速区域不宜出现孤岛铜、细长地颈和悬浮铜皮，地平面连接宽度应满足回流电流连续扩散需求，板边可按 5mm~10mm 间距布置缝合地过孔，GHz 级接口附近可缩小至 1mm~2mm，从层叠源头降低回流环路面积、边缘辐射和阻抗突变。见图 1。

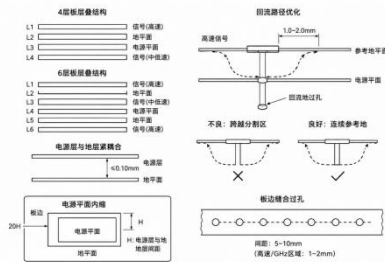


图1 PCB层叠与回流优化

2.2 分区布局与布线串扰抑制设计

高速数字系统 PCB 布局应按信号速率、电流强度和噪声敏感度进行物理分区, FPGA/DSP 核心区、DDR 存储区、高速接口区、电源变换区、模拟采样区应保持清晰边界, 功率开关器件与模拟前端距离宜大于 10mm, 高速时钟与复位、参考电压、ADC 输入等敏感节点应保持 5mm 以上间距。DSP、FPGA、Flash、DDR、SRAM 应围绕主控芯片短路径布置, DDR 数据线与 DQS 线应优先同层、同参考平面、少过孔布线, 数据组内长度误差宜控制在 $\pm 30\text{mil}$ 以内, 差分高速链路正负线长度误差宜控制在 $\pm 5\text{mil} \sim \pm 10\text{mil}$, 线对间距保持恒定, 阻抗按 90Ω 或 100Ω 差分目标设计。高速走线应避免 90° 直角, 采用 45° 折线或圆弧过渡, 单端时钟线、片选线和高速控制线应减少平行长距离耦合, 平行段间距不低于 3 倍线宽, 强干扰线与敏感线间距可提高到 5 倍线宽以上。差分对不得穿越分割平面, 换层过孔数量宜控制在 2 个以内, 过孔残桩较长时应采用背钻或优化叠层孔结构。

2.3 电源滤波、接地与屏蔽防护设计

高速数字系统电源抗干扰设计应从电源入口、板级分配、芯片局部去耦三个层级展开。电源入口处应布置 $10\mu\text{F} \sim 100\mu\text{F}$ 钽电容或低 ESR 电解电容承担低频储能, DC-DC 输出端应配置 $22\mu\text{F} \sim 47\mu\text{F}$ 陶瓷电容并靠近电感和输出节点, 芯片电源引脚附近应按电流瞬态需求放置 $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 、 $1\mu\text{F}$ 多值 MLCC, 0402 封装电容优先用于 100MHz 以上高频噪声抑制, 去耦电容到电源引脚走线长度宜小于 2mm, 电容接地端应使用独立地过孔直接接入完整地平面。FPGA 核心电源、I/O 电源、PLL 电源、模拟电源应分支供电, PLL

与 ADC 参考电源宜采用磁珠、LC 滤波或低噪声 LDO 隔离, 磁珠选型应关注 100MHz 阻抗值、直流电阻和额定电流, 避免在大电流支路产生压降和谐振峰。接地结构以完整地平面为基础, 高频数字区域采用多点低阻连接, 模拟地与数字地仅在 ADC/DAC 参考位置单点连接, 连接点可采用 0Ω 电阻或磁珠便于调试。高速连接器外壳、屏蔽罩、ESD 泄放点应以最短路径接地, ESD 器件到接口引脚距离宜小于 3mm, 泄放回路避免穿越敏感信号区。板边缘缝合地过孔间距可控制在 $\lambda/20$ 以内, 高频接口和晶振周边应增加地过孔围栏, 金属屏蔽罩焊盘应形成连续接地环, 降低电源纹波、地弹噪声、共模电流和空间辐射耦合。

3 工程实践应用案例分析

国内某工业视觉检测设备采用 FPGA 完成高速图像预处理, 首版 PCB 在运行 Camera Link 接口和 DDR 缓存读写时出现随机丢帧、配置重载和外壳辐射超标问题^[3]。测试发现 125MHz 时钟三次谐波附近辐射明显, DDR 数据线与 DQS 长度差超过 180mil, 部分高速线跨越电源分割区, FPGA 核心电源纹波峰值约 86mV。整改时将 PCB 由 4 层改为 6 层, 第二层和第五层设置完整地平面, 高速线全程参考连续地; DDR 组内长度差压缩至 $\pm 25\text{mil}$, 差分对阻抗控制在 $100\Omega \pm 10\Omega$, 换层处增加回流地过孔; FPGA 每组电源引脚附近补充 $0.1\mu\text{F}$ 、 $0.01\mu\text{F}$ 和 $1\mu\text{F}$ 去耦电容, PLL 电源改由 LDO 供电并串接磁珠。复测后核心电源纹波降至 28mV, 图像链路连续运行 72h 无丢帧, 30MHz $\sim$ 1GHz 辐射扫描满足限值要求。

4 结语

高速数字系统 PCB 抗干扰设计应贯穿器件布局、层叠规划、布线控制、电源完整性和屏蔽接地全过程。连续完整的参考地平面能够降低回流环路面积, 合理的阻抗控制和差分等长设计可减少反射与串扰, 分级去耦和电源隔离可抑制纹波及瞬态噪声。工程实践表明, 单纯依赖后期滤波难以解决高速系统随机故障, 只有在 PCB 设计阶段同步优化信号路径、电源路径和地回流路径, 才能提升系统稳定性、抗扰能力和 EMC 性能。

参考文献:

- [1] 杨聪聪.电磁兼容技术在 PCB 抗干扰设计中的应用[J].集成电路应用,2024,41(02):250-251.
- [2] 丁朝君.一种基于 FPGA+DSP 高速系统的故障诊断研究[J].电声技术,2021,45(10):53-56.
- [3] 罗阳锦,张升伟,陆浩.高光谱微波辐射计宽带高速数字系统设计[J].电子学报,2021,49(02):380-386.