

基于双备份存储架构的高可靠数据记录仪设计与实现

吴琦 文杨

贵州航天林泉电机有限公司 贵州 贵阳 550081

【摘要】：飞行数据记录仪是航空电子系统的重要组成部分，随着科学技术的发展，飞行器系统的复杂程度不断提高，对飞行数据记录系统的存储速度、容量、可靠性要求也越来越高。本文数据记录仪以 FPGA 为核心控制器，集成度高，灵活可靠；采用独立双备份的 NAND Flash 作为存储介质，增强数据存储可靠性，并且存储容量大、数据保存时间长；采用 LVDS 作为数据卸载接口，卸载速率快、可靠性高；此外，在结构上本文设计了一种适应硬回收的壳体结构，并对该壳体进行了力学仿真，结果显示外壳体承受最大压强约 36.9MPa，具备较强抗冲击能力，可以满足记录仪的一般使用要求。

【关键词】：双备份存储；可靠性；抗冲击

DOI:10.12417/2705-0998.26.13.036

1 引言

飞行数据记录仪又称黑匣子（FDR），是记录飞行器飞行过程中各种状态参数的高性能机载电子设备。能在飞机飞行过程中实时监测并记录飞行数据及机载设备的状态信息，飞行完毕后可将存储在记录介质上的数据进行回放分析^[1]。

自上世纪九十年代以来，随着半导体固态存储技术的发展，各航空航天大国开始研究固态记录器（SSR），由于半导体器件存储密度高、体积小、无转动部件、数据存储可靠等优点，逐渐成为航空航天领域主流存储介质^[2]。如美 NASA 的 CASSIAI 航天器采用容量为 2Gb 的固态存储器，其每个模块采用容量为 4Mbit 的 DRAM 器件，输入输出速率为 2Mbps^[3]；欧空局 CLUSTER1 卫星也采用同类产品，技术指标优于当时的同类航天器，如伽利略和哈勃望远镜等使用的磁带机^[4]；捷克的 L-159B 采用 E-Disk 作为飞机安全系统的关键部件，用于飞机监视系统（AMOS）^[5]。

半导体存储器件种类繁多，最常见的有 SRAM、SDRAM、EPROM、E² PROM、FLASH MEMORY 等。在早期的飞行数据记录仪中，主要采用 DRAM、SDRAM 作为固态存储介质^[6-7]；近年来，出现的一种新兴半导体器件，闪存（FLASH MEMORY），以其存储密度高、功耗小、使用寿命长、数据非易失等特点在各个领域得到广泛应用^[8]。闪存的这些优点也受到了各国航空航天技术人员的关注。

基于以上论述，本文设计了一种利用 NAND FLASH 作为主存储介质的记录仪，为了抵御 NAND FLASH 因擦写损耗、电磁干扰和硬件损伤造成的数据丢失风险，还设计了双备份的存储架构，通过两个独立的存储硬件冗余设计，增强了记录仪数据的可靠性和安全性。还对记录仪外壳结构进行了力学仿真，以验证其抗冲击能力。

2 方案设计

2.1 总体设计

数据记录仪作为飞行器飞行过程中获取数据的重要设备，

主要用于记录存储飞行试验中采集到的图像数据及必要的环境参数信息，同时对所存储的数据提供特种防护，确保数据在飞行和坠地等各种环境中数据可靠、不丢失，飞行试验后通过回读数据记录仪能够获取有效数据。

数据记录仪由硬件电路和内嵌 FPGA 软件组成，可用于接收和转发飞行器上的数据、输出记录仪工作状态信息供飞行载体、控制数据记录存储器启动记录，向系统反馈存储容量，对外+28 供电等功能。记录仪功能图如图 1：

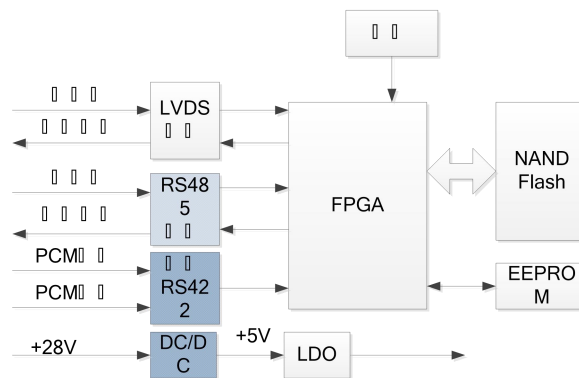


图 1 记录仪功能框图

2.2 硬件设计

数据记录仪作为飞行器飞行过程中获取数据的主要设备，主要功能为：存储数据并掉电保存，可擦除存储数据和重复使用，数据记录仪记录的数据实现高速卸载。基于这些功能可设计电路模块为：电源管理单元、时钟单元、LVDS 接口单元、主控器单元、存储单元、接口单元。

数据记录仪工作流程图如下图 2：

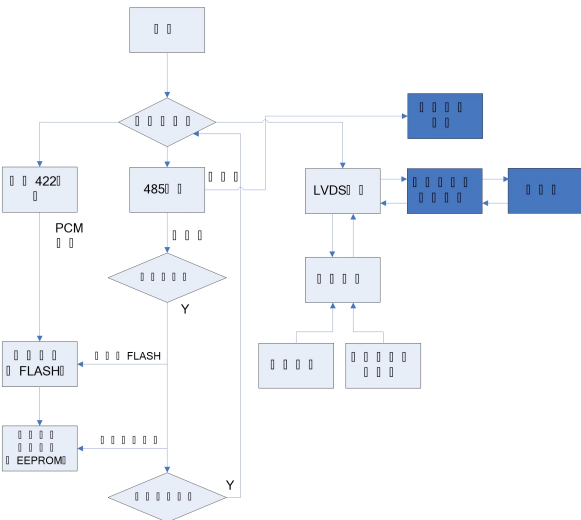


图 2 记录仪工作流程图

2.2.1 主控器单元设计

在选择主控芯片时,可供选择的有单片机、DSP(数字信号处理器)、ASIC(专用集成电路)和 FPGA。单片机运行速度慢,可靠性差,通常运用在性能要求低且对成本有限制的场合,无法满足高可靠性系统的要求^[9]; DSP 最大的优势在于很快的处理速度,能对多种信号进行运算处理,尤其适用于相对复杂的数字信号处理,但由于 DSP 的指令周期相对复杂、冗长,并不适合做为主控芯片^[10]; ASIC 具有体积小、功耗低、可靠性高等优点,是一种为专门用途而设计的电路,设计成本相对很高,不适合本系统低成本的设计原则; FPGA 具有设计周期短、设计成本低、风险小、可以与 CMOS、TTL 电平兼容、功耗低的特性,因此, FPGA 芯片是本系统的最佳选择。

本文选用选用复旦微电子 FPGA 作为主控 FPGA 芯片,该器件为 Xilinx 公司 Kintex 7 系列 FPGA 的国产化型号,采用 28nm HKMG 工艺,其功耗小,可靠性高,3.3V 单电源供电能减少器件数量,从而降低整个记录仪的体积。

配置芯片选用一片具有 128Mbits 容量 FLASH,是主控 FPGA 匹配使用的 FLASH 配置芯片,用于存储可执行程序。原理图如下图 3 所示:

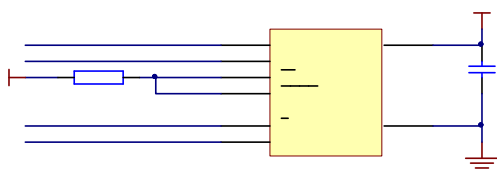


图 3 配置芯片

2.2.2 双备份存储电路设计

针对本文记录仪硬回收的使用场景,单一的存储介质因物理损坏、数据传输中断或环境干扰等问题导致的数据丢失,可

能引发关键信息溯源失效等严重后果。为此,双备份存储设计成为提升记录仪数据可靠性的核心解决方案,通过构建主存储加备份存储的冗余架构,实现数据的实时同步与双重备份,从硬件设计层面保证记录仪数据的安全性及可靠性。本文采用的双备份存储架构,如下图 4 所示:

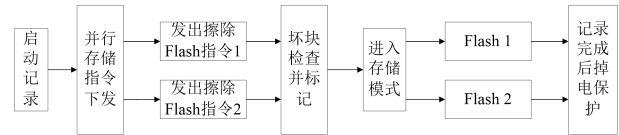


图 4 双备份存储架构

当记录仪采集到数据开始保存时,主控 FPGA 芯片向固态 FLASHF 发起通信连接并发送开始记录命令。为了确保数据安全,在正式传输存储数据之前,为了确保数据不丢失主控 FPGA 首先对存储芯片进行擦除和坏块检测。具体步骤为:以 FLASH 的块为单位进行数据擦除,每擦除完一块就对该块进行无效块检查,若为无效块则进行写无效块标识,若为有效块则块地址加一,继续下一块擦除。如此循环,直至擦完整个存储空间^[11]。对存储器完成检测后开始写入数据,同时对整个写数据过程计时作为断电保护时间,写入数据的方式为并行,两块 FLASH 收写入时间和内容完全一致。存储器每块地址分为 64 页,每一页数据写完后自增 1,待一块数据写完时块地址加 1,直至写满整个存储器后从首地址开始存储数据,原数据被覆盖,一直保存到系统断电,FLASH 进入断电保护状态,存储器的内容将被完整保存待读取。写操作时序图如下:

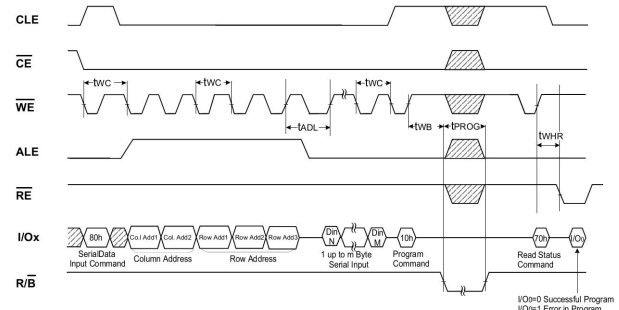


图 5 写操作逻辑时序图

上图为存储器内一个页数据写入时序,当判到 CLE 上升沿时,写入命令 80h,判到 ALE 上升沿时写入相应的块地址,然后往该块第 0 页开始写入数据,写完 2K 数据后,当判到 CLE 上升沿时,写入页编程命令 10h,延时 t_{wb} 后, R/B 信号拉低, FLASH 对缓存器中的 2K 数据完成页编程。页编程完成后页计数加 1,接着写下一页,当页计数达到 64 页时,表示一块编程完成,块计数加 1,接着对下一块进行操作,一直循环到数据写入操作结束。

2.2.2 LVDS 通信接口设计

数据记录仪的 LVDS 接口采用 LVDS 串行器和 LVDS 解串

器, LVDS 串行/解串器支持 100Mbps~660Mbps 的 LVDS 串行速率, 可对记录仪飞行过程中存储的大量数据进行快速的读取分析, LVDS 串行器、解串器原理图见下图 7:

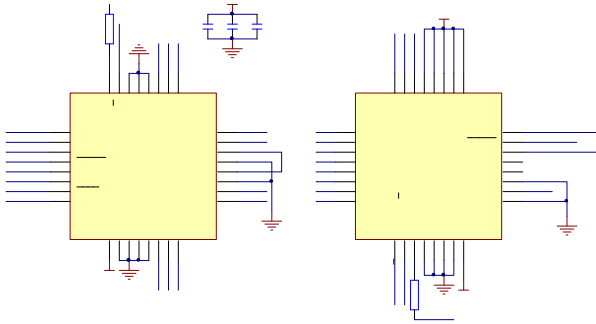


图 6 LVDS 通信原理图

2.3 软件设计

数据记录仪软件主要为 FPGA 嵌入式软件, 该软件运行在 FPGA 中, 实现指令收发、数据收发和对 FLASH 读写操作。软件组成框图如图 8 所示:

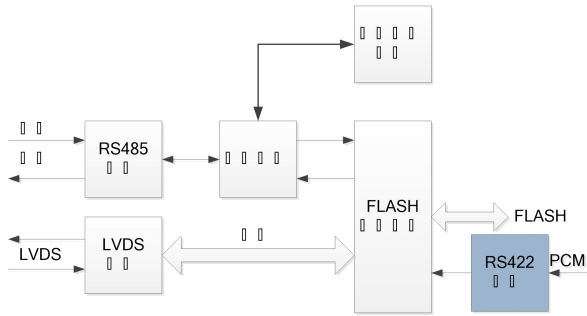


图 7 软件原理框图

软件工作原理为:

测试设备对数据记录仪发起控制命令, 控制指令采用 HDLC 协议, 接口接收到控制指令后发送到协议解析模块进行判决, 控制指令主要包括状态读取、磁盘格式化、写数据等。根据不同指令需求对 FLASH 读写驱动执行相应操作。FLASH 读写驱动根据指令直接对 FLASH 进行操作, 读取的数据从 LVDS 接口发送。系统在同一时间只能工作在存储、读取、等待写入三种模式之一。每次上电, 启动存储后系统会新建一个文件列表, 方便事后下载数据。文件列表信息包括当前文件数量, 每个文件的起始地址和文件大小。

3 结构设计与力学分析

记录仪结构强度也决定着整个记录仪数据的可靠性, 其作用为: 一方面为测试电路提供存放载体, 便于安装在遥测系统中, 另一方面将测试电路高强度固封在其中, 通过壳体的保护, 降低存储模块所承受的高过载值, 提高数据记录仪整体的抗冲击性能。

本文预设记录仪落地速度不小于 50m/s, 落区强度 2MPa~3MPa, 为保证记录仪落地后外观完好, 内部电气性内正常, 记录仪结构设计采用高锰钢加工而成, 保证产品的结构强度, 适应硬回收工作条件。如图 9 数据记录仪结构设计, 外部结构设计使用 5mm 壁厚, 并对内外直角处进行 5mm 倒圆角, 达到最大化卸力的作用。在壳体外使用 10mm×10mm×10mm 耳朵进行安装固定, 安装孔孔径 4.5mm, 使用 M4 螺钉的安装固定。内部结构使用 5mm 羊毛毡作为第一层缓冲层, 再对印制板进行灌封, 印制板悬置与灌封胶中, 该灌封胶即为第二层缓冲层, 确保产品在壳体内部能得到最大化保护。

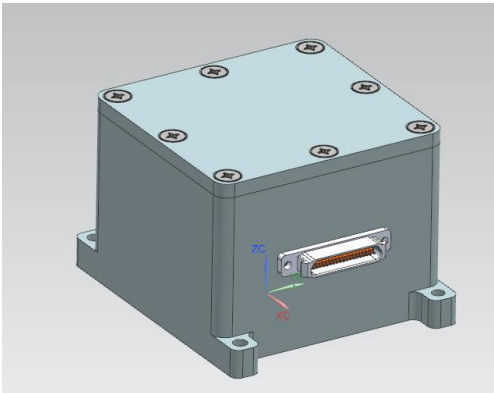


图 8 记录仪外壳结构图

根据本文预设的落地速度不小于 50m/s, 落区强度 2MPa~3MPa 的环境条件, 对设计的壳体结构进行了仿真, 仿真条件为 50m/s, 撞击硬度 5MPa, 仿真结果如下:

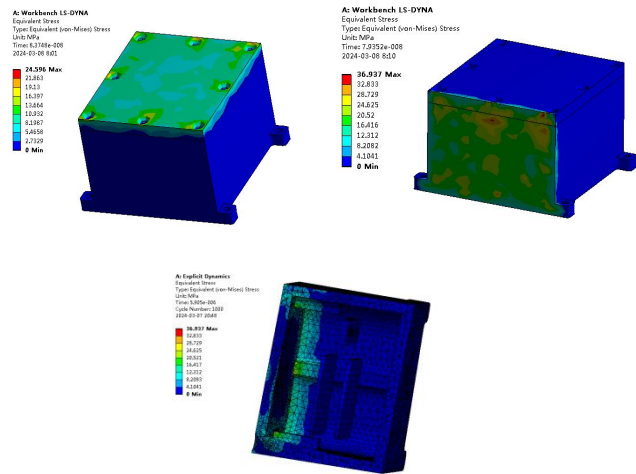


图 9 外壳仿真图

由仿真结果可知, 外壳体承受最大压强约 36.9MPa。外壳体材料为高锰钢, 耐压强度为 600-800MPa。根据第四强度理论（形状改变比能理论）, 记录装置结构屈服强度远大于所受冲击, 内部印制板应力几乎为 0, 所以该结构强度完全满足预设要求, 可以满足大多数记录仪硬回收环境条件。

4 实验与分析

按照上述章节完成设计后,对记录仪电性能进行实验测试,下图为测试接线图:



图 10 测试接线图

记录仪通过测试设备连接上位机测试电脑,对记录仪进行数据存储或读取。

上电存储与数据读取测试:

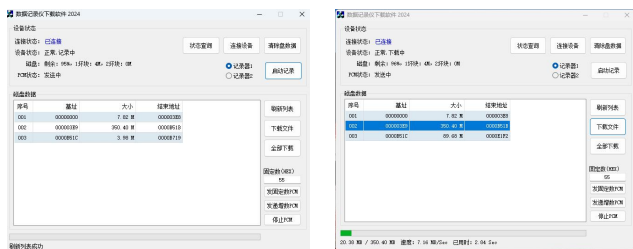


图 11 存储与读取实验

记录仪上电后,点击数据记录仪下载软件上的连接设备,启动记录后设备状态为“正常,记录中”,则表明记录仪能正常写入数据,实测数据写入能达到 2MB/S,达到设计预期速度。点击下载文件后,能将存储芯片的数据通过 LVDS 通信口读取出来,实测读取速度能达到 7MB/S,能快速读取记录仪中的数据。

使用数据处理软件分析读出的数据,如图 13,最后结果显

示总帧数无错误,即可证明数据写入、存储和读取过程中不丢帧,保证记录仪存储数据的可靠性。



图 12 数据分析截图

5 结论

本文设计了一种基于双备份存储架构的高可靠数据记录仪,在硬件设计层面,采用双独立存储单元并行部署,构建主存储加备份存储的冗余架构,解决了传统单存储记录仪在硬件故障、数据损坏场景下的可靠性短板,以满足航空航天、工业监控、医疗设备等对数据连续性和安全性要求极高的场景需求。在结构上,采用耐压强度较高的高锰钢作为壳体,内部采用灌封处理,使元器件和 PCB 等在大过载情况下能有效抗冲击和抗振,仿真结果表明,本文的记录仪抗冲击能力远强于预设条件,为高可靠性数据记录仪设计提供了有效的解决方案。

参考文献:

- [1] 韩勇豪,王少云.一种固态飞行数据记录仪的研制.电子设计工程,2011,19(16):159~162.
- [2] 朱岩.基于闪存的星载高速大容量存储技术的研究.[中国科学院研究生院博士论文].北京,中国科学院空间科学与应用研究中心,2006.
- [3] 曲建岭,唐昌盛,李万泉.飞参数据的应用研究现状及发展趋势.计测技术,2007,27(6):1~4.
- [4] 汤丽.飞行数据管理记录系统关键技术研究.[西北工业大学硕士论文].西安,西北工业大学,2004.
- [5] 顾田伟.小型化无人机飞行数据记录仪的研制.[南京航空航天大学硕士论文].南京,南京航空航天大学,2008.
- [6] 王洪迅,赵天云,毕笃彦,等.机载高速电子存储器的研究和设计.计算机工程与应用,2005,21 期:133~135.
- [7] 陈知秋,江鸿,杜军.无人机飞行记录分析系统研究与设计.计算机测量与控制,2004,12(8):781~783.
- [8] 张浩洋,耿生群,赵河明等.多分区多通道弹载数据记录仪设计[J].兵器装备工程学报,2025,46(2):220-227.
- [9] 褚振勇,齐亮.FPGA 设计及应用[M].西安电子科技大学出版社.2002.
- [10] 张晓飞.基于 DSP 成像系统的视频图像采集部分的实现[J].压电与声光.2002.
- [11] 储成群,焦新泉,于君.一种大容量固态飞行数据记录器设计[J].计算机测量与控制,2011;19(1):227—229.