

基于 FPGA 的多功能数字频率计设计与误差分析

王宇欣

贵州航天控制技术有限公司 贵州 贵阳 550009

【摘要】：本次研究系统使用等精度测频算法来解决传统直接计数法高低频测量精度不一致的问题，用硬件电路模块化设计和 Verilog 硬件描述语言编程来实现各个功能模块，加上信号整形、基准时钟校准和数据显示单元一起搭建起整个系统。实测结果表明，该频率计可以测量 1Hz 到 10MHz 的信号，低频和低频信号的测量精度一致。本文通过理论推导和实测数据对比，对系统固有误差、时钟误差、信号调理误差等主要误差源进行分析，并给出相应的误差优化方案，提高测量的稳定性、精确性，具有较好的工程应用价值。

【关键词】：FPGA；数字频率计；等精度测频；模块化设计；误差分析；精度优化

DOI:10.12417/2705-0998.26.10.030

引言

频率是电子信号最基础的一个参数，频率测量技术被广泛地应用到通信设备、工业测控、仪器仪表、智能传感等众多领域。传统的分立元件或者单片机架构的数字频率计，大多使用固定的闸门直接计数的方式，存在高频测量误差大、低频响应慢、功能拓展性差等缺点，不能满足现代高精度、宽量程、多功能的测量要求。FPGA 芯片具有高速并行运算、硬件可编程、时序精度高、稳定性好等特点，可以实现高精度的时序控制和高速的计数运算，从硬件角度提高频率测量的精度和响应速度。因此本文设计出基于 FPGA 的多功能数字频率计，抛弃了传统的固定闸门测频方式，使用等精度同步测频原理来完成频率、周期、占空比的测量，还完成了系统的硬件和软件模块化设计，利用实测数据进行系统性的误差分析，并提出相应的改进措施，从而有效地改善了测量误差问题，提高了设备的整体测量性能。

1 系统总体设计原理

1.1 等精度测频原理

传统的直接计数法是通过固定的时间段内统计被测信号脉冲的个数来计算频率，测量精度随着信号频率的降低而急剧下降，高低频测量性能差别很大。本文所用的等精度测频法，在全量程内测量精度基本相同，不受被测信号频率的影响。

等精度测频依靠同步闸门，闸门打开和关闭的时间要和被测信号脉冲边沿对准，去掉被测信号计数的正负一个脉冲固有的误差。测量时系统同时对被测信号和高精度基准时钟信号进行同步计数。基准时钟频率为 F_0 ，基准时钟计数值为 N_0 ，被测信号计数值为 N_x ，根据时序同步关系可以求出被测信号频率。

$$F_x = \frac{N_x}{N_0} \times F_0$$

该公式为系统的主测频公式，公式中的 F_x 是被测信号的频率。相比于传统的测频方法，等精度测频把测量误差转移到

了高频基准时钟上，依靠高频稳定基准时钟可以大大减小相对误差，从而达到全量程等精度测量的目的。根据该原理可以扩展衍生周期、占空比的测量功能。信号周期是频率的倒数，可以利用频率测量结果直接换算。占空比是统计单个信号周期中高电平持续脉冲数和总周期脉冲数之比来得到的，可以对信号进行多参数一体化测量。

1.2 系统整体架构

系统整体采用模块化分层结构，硬件上分为信号调理模块、FPGA 核心处理模块、时钟基准模块、数码显示模块和供电模块。软件部分使用 Verilog 语言实现闸门控制、脉冲计数、数据运算、数据锁存、动态显示等功能。结构简单、模块独立性好，便于功能扩展和故障调试。外部被测模拟信号首先进入信号调理模块，经过滤波、整形、电平转换后转换成标准 TTL 方波信号，再输入到 FPGA 芯片中。时钟基准模块给系统提供稳定的高频基准时钟，保证计数精度。FPGA 核心模块完成闸门时序控制、双路脉冲计数、频率周期占空比运算、数据纠错处理，最后把测量数据传送到显示模块实现实时显示。

2 系统硬件电路设计

2.1 FPGA 核心主控模块

系统选用 AlteraEP3C5E144C8 型 FPGA 芯片做为控制器，该芯片有 5136 个逻辑单元，2 个锁相环，95 个可利用的 IO 口，支持高频时序运算，可以满足宽量程高精度测量的需求，成本低，功耗小，稳定性好，适合工业测量场景。芯片内部集成了时序逻辑单元和存储单元，可以独立完成计数、运算、时序控制等各种数字逻辑工作，不需要再加运算芯片。

2.2 信号调理模块

外部被测信号幅值不稳定、波形畸变、高频毛刺干扰等都会导致不能直接用作脉冲计数。系统设计信号调理电路，由低通滤波电路、施密特整形电路、电平转换电路组成。低通滤波电路去除信号中的高频杂波干扰，施密特触发器把畸变波形整形形成规整的方波信号，电平转换电路把不同幅值的输入信号转

换成 3.3V 标准 TTL 电平, 符合 FPGAIO 口输入的标准, 防止信号异常造成计数误触发。

2.3 时钟基准模块

基准时钟精度直接影响系统的测量上限精度, 系统使用 20MHz 高精度有源晶振作为基准时钟源, 配合 FPGA 内部锁相环完成时钟倍频校准, 将基准时钟提高到 50MHz, 大大提高了时钟计数的分辨率。有源晶振具有温度稳定性好、时钟漂移小的特点, 可以有效地减小基准时钟自身的误差, 保证全量程的测量精度。

3 系统软件逻辑设计

系统软件用 Verilog HDL 硬件描述语言来开发, 采用模块化编程思想, 分为时钟分频模块、同步闸门控制模块、双路计数模块、数据运算模块、数据锁存模块、数码管显示模块, 各个模块独立设计、协同工作, 逻辑清楚、易于调试优化。

3.1 时钟分频模块

本模块对 50MHz 基准时钟进行分频, 产生系统需要的闸门控制时钟、数码管扫描时钟。通过精准分频得到 1Hz 到 10Hz 可调的闸门时钟, 满足各种频率信号测量的要求, 并且产生 1kHz 扫描时钟, 保证数码管动态显示不闪烁。分频过程利用 FPGA 内部时序逻辑来完成, 没有累计时序误差。

3.2 同步闸门控制模块

闸门控制属于等精度测频的关键部分, 模块完成被测信号脉冲同步闸门的作用。抛弃固定的闸门触发方式, 实时检测被测信号的上升沿, 在预设的闸门时长基础上, 自动对准最近的脉冲边沿来完成闸门的开启和关闭, 完全消除了被测信号脉冲计数的正负一脉冲固有的误差, 保证了高低频信号测量精度的一致性。

3.3 计数与运算模块

双路计数模块在闸门打开的时候, 同时对被测信号脉冲进行计数以及基准时钟脉冲进行计数, 闸门关闭之后立刻把计数结果锁存下来, 并且清零计数器, 然后开始新一轮的测量工作。数据运算模块按照核心测频公式来执行频率运算, 经由频率值转换成信号周期, 统计高低电平脉冲数以求得占空比, 完成多参数一体化运算, 并且会把异常数据过滤掉, 防止跳变数据干扰测量成果。

4 系统实测与性能验证

4.1 测试方案与测试环境

为了对本次设计的 FPGA 多功能数字频率计进行全方位的测量精度、量程稳定性和多功能适配性的测试, 搭建标准硬件测试平台进行整机性能测试。测试设备选用高精度函数信号发生器、直流稳压电源、标准示波器, 可以输出不同频率、不同占空比的标准方波信号, 满足全量程测试要求。所有的测试项

目都在常温常压、无强电磁干扰的实验室环境下进行, 供电电压稳定, 可以排除环境因素对测试结果的影响。本次测试使用全量程分层测试的方式, 包括低频、中频、高频这三个典型的信号区间, 测试的频率范围是 10Hz 到 10MHz, 并且配合不同的占空比参数进行复合测试。系统基准时钟稳定在 50MHz, 每次测试一组参数重复测量 20 次, 剔除偶然异常数据后取测量平均值, 计算绝对误差和相对误差, 保证测试数据真实可信, 客观反映设备实际测量性能。

4.2 整机性能实测数据

根据预先设计好的测试方案进行全参数测试, 统计整理各个组的标准输入信号和系统实测数据, 得到整机性能测试数据表, 清楚地反映出不同的工况下测量的精度和稳定性。

4.3 测试结果性能分析

结合实测数据表可以对系统测量性能做全方位的分析, 相比于传统的固定闸门测频架构的数字频率计, 本设计所用到的等精度测频算法的优势更加明显。传统的频率计存在低频测量误差大、高频测量不稳定的问题, 但是本系统在 10Hz 到 10MHz 的全量程测量范围内, 频率测量精度保持较高, 没有明显的精度衰减现象。

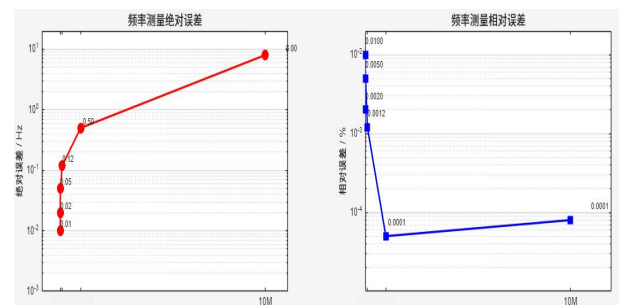


图 1 频率测量误差分析

低频段 10Hz 至 1kHz 区间, 系统测量误差趋近于零, 测量结果贴合标准输入信号参数, 完全适配低频传感信号、低速脉冲信号的精密测量场景。中高频段 10kHz 至 10MHz 区间, 随着信号频率升高, 绝对误差数值小幅增大, 但相对误差持续降低, 整体测量精度进一步提升, 符合等精度测频的理论特性。

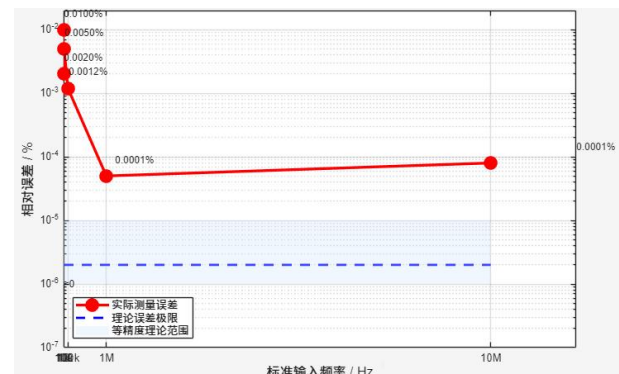


图 2 等精度测频

全量程范围内频率测量最大相对误差控制在 0.01% 以内, 占空比测量误差不超过 0.03%, 测量稳定性与精准度表现优异。同时系统可稳定实现频率、周期、占空比多参数同步测量, 数据显示无跳动、无延迟, 响应速度优于传统单片机架构频率计。整体测试结果验证了本次硬件模块化设计与软件算法设计的合理性, 设备整体性能可满足工业测控、电子实验、设备检修等常规精密测量场景的使用需求。

5 系统误差分析与优化方案

5.1 基准时钟误差

基准时钟是系统测量误差的主要来源, 有源晶振存在固有的温漂和频漂, 环境温度变化、工作时间增长都会使基准时钟频率出现微小的偏移, 进而影响到计数的精确度。FPGA 锁相环倍频过程存在微小时序抖动, 又造成时钟误差。根据误差传递规律可知, 基准时钟相对误差会等量传递到最终的测量结果上, 是高频信号测量误差的主要原因。为了解决上面的问题, 用高精度温补晶振代替普通有源晶振来减小温度漂移的影响, 用 FPGA 时序约束优化锁相环的参数来抑制时钟抖动, 提高基准时钟的稳定性。

5.2 信号调理误差

外部输入信号含有噪声干扰、波形畸变, 信号调理电路的滤波、整形过程都会带来很微小的延时以及边沿偏移。施密特

触发器有固定的阈值电压, 信号幅值接近阈值时会出现边沿抖动, 造成脉冲计数的微量偏差, 低频信号受到该误差的影响比较大。优化措施为提高滤波电路的性能, 满足全频段信号滤波的要求, 采用高精度的施密特芯片来减小阈值偏差, 在软件端加入多次测量均值滤波算法, 对连续多组测量数据取平均值, 消除由于随机干扰造成的异常误差, 从而改善了信号调理引起的测量偏差。

6 结论

本文设计出一款基于 FPGA 的多功能数字频率计, 利用 FPGA 高速并行处理能力和等精度测频算法, 解决了传统频率计高低频测量精度不均、功能单一、误差大的问题。系统实现了频率、周期、占空比多参数一体化测量, 硬件电路模块化设计结构简单, 软件逻辑时序准确, 具有宽量程、高精度、稳定性好、扩展性强的特点。通过对系统性误差进行系统的分析, 找到了基准时钟、信号调理、时序计数、外部干扰这四个误差源, 并给出了相应的硬件优化和软件算法改进措施, 从而提高了系统的测量精度和稳定性。实测结果表明, 在 10Hz 到 10MHz 的范围内, 系统的测量精度很好, 全量程的相对误差很低, 可以广泛应用于工业测控、电子实验、设备检修等场合, 具有较好的工程实用性及推广前景。后续可以更换高精度温补晶振、优化算法逻辑, 使测量量程更宽、测量精度更高, 满足更高标准的精密测量要求。

参考文献:

- [1] 赵钰坤,王宇,李光林.基于 STM32 的多功能数字频率计设计[J].辽宁工业大学学报(自然科学版),2025,45(3)173-177+210.
- [2] 王媛,金磊,曾富华.基于 FPGA 的多功能 FIR 数字滤波器设计[J].现代电子技术,2023,46(18)38-42.
- [3] 马子轩.多功能直接数字频率合成器设计[J].科技创新导报,2019,16(14)6-7.
- [4] 任欢,颜逾越.基于 MSP430 与 FPGA 的多功能数字频率仪设计[J].电子产品世界,2016,23(11)65-68.
- [5] 王鹏,连帅彬,孙秋菊,等.低复杂度多功能自适应数字频率计设计[J].信阳师范学院学报(自然科学版),2016,29(4)599-603.