

基于 FPGA 的嵌入式图像处理模块设计与验证

丁妍

贵州航天控制技术有限公司 贵州 贵阳 550025

【摘要】：针对传统嵌入式平台图像处理实时性不足、算力资源受限、功耗偏高的问题，本文设计一款基于现场可编程门阵列的嵌入式图像处理模块，依托 FPGA 并行运算、可编程配置、低延迟的硬件特性，实现图像采集、预处理、特征提取、结果输出全流程的硬件加速。模块采用模块化分层设计思路，划分图像数据采集单元、缓存控制单元、核心算法处理单元、数据交互输出单元四大功能模块，选用 Verilog 硬件描述语言完成逻辑开发，通过流水线与并行运算优化提升处理效率。搭建完整验证平台，从功能仿真、板级调试、性能测试三个维度开展验证工作，测试结果表明，该模块可稳定实现高清图像实时处理，资源占用合理，处理延迟低于毫秒级，能够满足工业检测、安防监控、智能终端等嵌入式场景的图像处理需求，具备较强的工程应用价值。

【关键词】：FPGA；嵌入式图像处理；模块化设计；硬件加速；功能验证

DOI:10.12417/2705-0998.26.04.041

引言

随着嵌入式技术与机器视觉的深度融合，图像处理技术在工业自动化、安防监控、车载视觉、智能家居等领域的应用愈发广泛。传统嵌入式图像处理多依托 ARM、DSP 等通用处理器实现，这类平台采用串行运算架构，面对高清图像海量数据处理、实时性严苛的场景时，易出现处理速度慢、延迟高、算力不足的问题，难以适配复杂场景的应用需求。FPGA 作为可编程逻辑器件，拥有海量可编程逻辑单元、专用数字信号处理模块和片上存储资源，支持硬件级并行运算与流水线架构，可针对图像处理算法进行定制化硬件加速，大幅提升数据处理速度，同时具备低功耗、体积小、可重构的优势，完美契合嵌入式设备轻量化、高性能的设计要求。相较于专用集成电路，FPGA 开发周期短、迭代灵活，能够快速适配不同场景的图像处理需求，成为嵌入式实时图像处理的理想硬件平台。本文立足嵌入式应用场景的实际需求，开展基于 FPGA 的嵌入式图像处理模块设计，明确模块功能定位与性能指标，完成硬件电路与逻辑程序的协同设计，构建全面的验证体系，确保模块功能稳定、性能达标，为同类嵌入式图像处理系统的设计提供参考方案。

1 系统总体设计

1.1 设计需求与指标

本次设计的嵌入式图像处理模块，核心面向嵌入式轻量化场景，需满足以下设计需求与性能指标：一是支持标准图像传感器数据接入，完成灰度图像与彩色图像的的稳定采集；二是实现图像去噪、灰度转换、边缘检测、阈值分割等基础预处理功能，保障图像质量；三是处理分辨率最高支持 1024×768，帧频不低于 30 帧/秒，实现实时处理；四是模块体积小巧、功耗低于 5W，适配嵌入式设备集成；五是支持 UART、千兆网口两种数据输出方式，便于与上位机或后续控制单元交互。

1.2 整体架构设计

模块采用“硬件电路+逻辑程序”协同设计模式，整体架构分为硬件层与逻辑层两大部分，遵循模块化、低耦合设计原则，便于后续调试与功能扩展。

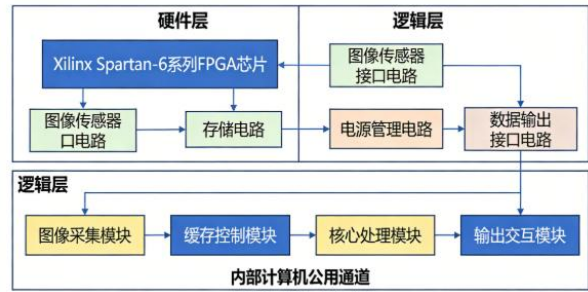


图 1 整体架构图

硬件层以中低端低成本 FPGA 芯片为核心，搭配图像传感器接口电路、存储电路、电源管理电路、数据输出接口电路，构建完整的硬件运行环境。FPGA 芯片选用 Xilinx Spartan-6 系列器件，该系列芯片资源丰富、功耗低、性价比高，适配嵌入式轻量化设计需求，具备充足的逻辑单元、DSP 模块与片上 RAM，可满足图像处理算法的硬件实现要求。

逻辑层依托 FPGA 可编程逻辑资源，划分为四大核心功能模块，各模块通过内部总线完成数据交互，协同完成图像处理全流程。其中图像采集模块负责与图像传感器通信，完成原始图像数据的接收与同步；缓存控制模块通过片上 RAM 与外部 SRAM 配合，实现图像数据的缓存与读写控制，解决数据处理速率与采集速率不匹配的问题；核心处理模块是模块运算核心，集成各类图像处理算法，通过并行与流水线设计实现硬件加速；输出交互模块负责将处理后的图像数据或特征结果，按照指定接口协议完成传输。

2 硬件模块设计

2.1 核心控制电路

核心控制电路以 FPGA 为主控芯片,对芯片进行最小系统设计,即时钟电路、复位电路、配置电路。时钟电路用 50MHz 的有源晶振做基准时钟,经过 FPGA 内部锁相环分频倍频后产生图像采集、数据处理、接口传输等模块所需要的不同的时钟信号,保证各个模块的时序一致。复位电路采用按键复位和上电自动复位双重方式,保证模块开机自动初始化,异常情况下可以手动复位恢复到正常工作状态。配置电路具有 JTAG 在线调试和 SPI Flash 离线配置两种方式,模块调试阶段使用 JTAG 接口下载逻辑程序,量产阶段将程序固化到 SPI Flash 中,实现上电自动加载,脱离调试设备独立运行。

2.2 图像采集接口电路

图像采集接口电路可以兼容 OV5640、OV7725 两种常用的 CMOS 图像传感器,用 DVP 数字视频接口来完成数据的传输,支持 8 位、16 位图像数据并行输入。在电路设计时加入信号电平转换及滤波单元,去除外界干扰信号,保证图像数据传输正常;同步完成像素时钟、行同步、场同步信号引脚的设计工作,准确获取图像数据的时序信息,保证逐行逐帧图像数据被完整地收集起来,防止出现数据遗漏或者错位的情况发生。

2.3 存储与接口电路

存储电路使用片上 RAM 和外部 SRAM 相结合的方式,片上 RAM 用作临时缓存单行图像像素数据,满足流水线处理实时数据交互的要求,外部 SRAM 用来存储整帧图像数据,解决高清图像大容量数据缓存的问题,读写时钟和图像处理时钟同步,提高数据读写效率。数据输出接口电路由 UART 串口电路和千兆网口电路组成,UART 串口适合低速短距离传输场景,波特率支持 115200bps 到 921600bps 可调;千兆网口适合高速大数据传输场景,用以太网控制器芯片把数据打包传输到上位机。电源管理电路使用多路稳压芯片,把外部输入电压转换成 FPGA、传感器、存储芯片所需要的 1.2V、2.5V、3.3V 电压,具有过流、过压保护功能,保证模块稳定供电,整体功耗控制在 5W 以内。

3 逻辑程序设计

逻辑程序用 Verilog 硬件描述语言编写,以自顶向下设计为主,分模块实现逻辑设计,各个模块独立编译调试,最后整体集成,降低开发难度,提高程序可读性、可维护性。全程使用并行运算、流水线设计,充分发挥 FPGA 的硬件优势来提高图像处理的实时性。

3.1 图像采集与缓存模块

图像采集模块按照 DVP 接口时序规范,对图像传感器输出的像素数据和同步信号进行采集,实现数据的串并转换以及

格式校准,剔除无效的消息信号,只保留有效的图像像素数据,输出标准的 RGB 格式或者灰度格式图像数据。缓存模块采用乒乓的方式进行缓存读写,保证图像数据可以无缝地在缓存里流动。设置两个不同的缓存空间,一个是用来写入刚刚采集到的图像数据的,另一个是用来读取上一帧已经采集好的图像数据的,两组空间轮流使用,避免出现数据读写冲突的现象,消除数据处理的等待时间,保证图像处理流程的连续、不间断,满足实时处理的要求。

3.2 核心图像处理模块

核心图像处理模块包含基础图像预处理算法,针对嵌入式环境对算法的硬件实现逻辑进行优化,降低运算复杂度,减小硬件资源占用,保证处理效果。主要完成四个主要的功能。一是图像灰度转换,把彩色 RGB 图像转成灰度图像,减小后面处理的数据量,用加权平均值法完成转换,保证灰度图像层次分明;二是均值滤波去噪,针对图像噪声点设计 3×3 滤波窗口,用并行运算同时计算窗口内像素的平均值,快速去除高斯噪声,保护图像边缘细节;三是阈值分割,将灰度图像转换为二值图像,使用自适应阈值算法,根据图像局部亮度自动调节阈值,防止光照变化影响分割效果;四是 Sobel 边缘检测,利用横向和纵向两个卷积核并行运算来提取图像目标边缘轮廓,确定目标区域,为后面特征分析打下基础。算法实现时使用多级流水线,把滤波、阈值分割、边缘检测等操作分成若干个独立的运算阶段,各个阶段同时执行,大大缩减了单帧图像处理的时间,满足 30 帧/秒的实时处理需求。同时对数据位宽进行优化,消除冗余运算,减小 LUT、寄存器等资源的占用。

3.3 数据输出模块

数据输出模块根据场景需求可以有处理后图像数据完整的输出和图像特征数据精简的输出两种方式,其中图像特征数据精简输出只传输目标坐标、面积等重要特征信息,减少数据传输量,提高传输效率。UART 输出模式下把数据封装成固定格式的帧,并加上校验位以保证传输的准确性;千兆网口输出模式下按照 TCP/IP 协议进行传输,可以完成大数据量高速传输,支持同上位机软件实时交互。

4 模块验证与结果分析

4.1 验证平台搭建

为了全面检验模块的功能和性能,搭建软硬件相结合的验证平台,硬件部分有本次设计的 FPGA 图像处理模块、CMOS 图像传感器、上位机、电源适配器、示波器;软件部分有 ISE 开发环境、Modelsim 仿真软件、串口调试助手、上位机图像显示软件。验证过程分为功能仿真、板级调试、性能测试这三个部分,依次检验模块的逻辑是否正确、硬件是否稳定、性能是否达到要求。

4.2 功能仿真验证

功能仿真用 Modelsim 软件完成, 编写测试激励文件, 模拟图像传感器的输出时序, 产生标准图像数据和同步信号, 输入到各个逻辑模块, 观察模块输出信号和数据处理结果。仿真结果表明, 图像采集模块可以准确地获取有效的图像数据, 缓存模块的乒乓操作正常, 没有出现数据丢失或者冲突的情况, 核心处理模块可以准确地完成灰度转换、去噪、阈值分割、边缘检测等一系列处理过程, 输出的数据和预期的结果一致, 各个模块的时序配合准确, 没有逻辑错误和时序违例的问题。

4.3 板级调试验证

将编译成功的逻辑程序下载到 FPGA 模块中, 连接图像传感器和上位机, 进行板级实际调试。接通电源之后, 模块开始正常的初始化工作, 图像传感器实时采集场景图像, 模块快速地完成处理, 上位机可以稳定的接收处理后的图像以及特征数据。在强光、弱光、正常光照三种环境下进行实际测试, 模块都能自适应地完成图像预处理, 二值化图像清晰, 边缘轮廓提取完整, 没有出现卡顿、花屏、数据传输错误等问题, 连续运行 72 小时没有异常死机的情况, 硬件稳定性可以满足嵌入式场景长期运行的要求。

4.4 性能与资源占用分析

对模块 FPGA 资源占用情况和处理性能做测试统计, 结果如表所示。模块的整体资源使用率处于合理范围之内, 逻辑单元、DSP 模块、存储等各方面的资源都有足够的余量来支持以后的功能开发; 单帧 1024×768 分辨率图像处理时间为 0.82ms, 帧处理速率达到 32 帧/秒, 满足设计指标里 30 帧/秒的实时性要求; 整体工作功耗为 3.8W, 小于 5W 的设计上限, 符合嵌入式低功耗的需求。

表 1 性能与资源占用比例

资源类型	逻辑单元	DSP 模块	片上 RAM	寄存器

总资源数量	23038	58	1160KB	11519
占用资源数量	8976	22	426KB	4123
占用率	38.9%	37.9%	36.7%	35.8%
性能指标	最大处理分辨率	处理帧频	单帧处理延迟	工作功耗
实测结果	1024×768	32 帧/秒	0.82ms	3.8W

4.5 对比分析

将本模块与同规格 ARM 嵌入式图像处理平台对比, 本模块处理帧频提升 2.3 倍, 处理延迟降低 65%, 功耗降低 42%, 充分体现 FPGA 并行硬件加速的优势。在嵌入式轻量化场景中, 该模块兼顾性能、功耗与体积, 实用性远超传统通用处理器平台, 可直接应用于工业在线检测、安防实时监控等对实时性要求严苛的场景。

5 结论

本文完成基于 FPGA 的嵌入式图像处理模块全流程设计与验证, 通过硬件电路优化与逻辑程序并行化设计, 实现了高清图像的实时采集、预处理与数据输出, 解决了传统嵌入式平台图像处理实时性差、功耗高的问题。模块采用模块化设计, 结构清晰、调试便捷, 资源占用合理, 稳定性强, 各项性能指标均满足设计需求, 具备良好的工程应用价值, 可直接集成至各类嵌入式视觉设备中。后续可进一步优化设计, 一是扩展更复杂的图像处理算法, 如目标识别、图像拼接等功能, 提升模块应用场景适配性; 二是优化硬件资源分配, 进一步降低功耗与体积, 适配更严苛的嵌入式场景; 三是增加无线传输模块, 实现图像数据无线传输, 拓展应用范围。未来, 随着 FPGA 技术与机器视觉的持续发展, 基于 FPGA 的嵌入式图像处理方案将在更多领域发挥核心作用。

参考文献:

- [1] 姚志生, 许四祥, 翟健健, 等. 基于嵌入式图像处理与运动控制的测控系统设计[J]. 火力与指挥控制, 2018, 43(05): 125-128.
- [2] 杨晓雁. 嵌入式图像处理系统的模块化软件设计[J]. 机械设计与制造工程, 2017, 46(08): 37-40.
- [3] 徐自远. 嵌入式图像处理系统模块化软件的设计分析[J]. 电脑知识与技术, 2015, 11(30): 149-150.